

F-060

F-060

(18)日本特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-283284

(45)公開日 平成5年(1993)10月28日

(5)Int.Cl. <sup>8</sup>	特許番号	特許番号	F1	技術表示箇所
H01G 4/40	821	9174-5E		
H01F 15/00		D 7129-5E		
17/00		D 7129-5E		
41/04		C 8019-5E		
H01G 4/08	101	8019-5E		

審査請求 未請求 請求項の数5(全10頁) 最終頁に於く

(21)出願番号 特願平4-78890

(22)出願日 平成4年(1992)3月31日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 牧野 浩

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 木村 浩

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 井浦 昭彦

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 弁護士 小堀 明 (外2名)

最終頁に於く

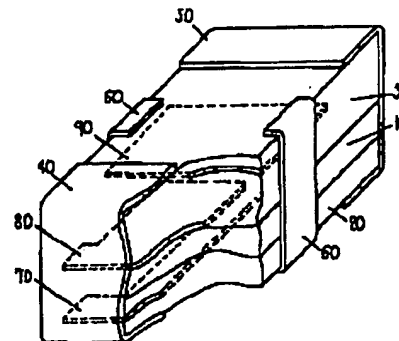
(54)【発明の名称】 テップ型ノイズ対策用フィルタおよびその製造方法

(57)【要約】

【目的】 デジタル機器の小型・薄型化に伴う高周波実装回路基板のノイズ対策部品として、小型低背で優れた実装性と量産性を有したチップ型ノイズ対策用フィルタを提供する。

【構成】 角板状のセラミック基板10と、セラミック基板10の一方の面上に形成された磁性体層に厚膜導体パターンを内設するインダクタ層20と、セラミック基板10の他方の面上に形成された誘電体層に厚膜導体対向電極を備えたコンデンサ層30と、これらの積層体の端部に設けた第1の信号ライン用外部電極40、第2の信号ライン用外部電極50およびアース用外部電極60とを備えてフィルタを構成したことにより、実装性と量産性の優れたチップEMIフィルタが得られる。

10---セラミック基板  
20---インダクタ層  
30---コンデンサ層  
40, 50---信号ライン用外部電極  
60---アース用外部電極  
70---厚膜導体パターン  
80---対向電極



## 【特許請求の範囲】

【請求項1】角板状のセラミック基板と、このセラミック基板の一方の面上に形成された磁性体層に厚膜導体パターンを内設するインダクタ層と、前記セラミック基板の他方の面上に形成された誘電体層に厚膜導体からなる対向電極を備えたコンデンサ層と、これらの積層体の端部に設けた第1の信号ライン用外部電極と、前記第1の信号ライン用外部電極と対向した端部に設けた第2の信号ライン用外部電極と、前記積層体の他の端部に前記対向電極と電気的に接続されたアース用外部電極とを少なくとも備えてフィルタを構成したことを特徴とするチップ型ノイズ対策用フィルタ。

【請求項2】対向電極が一对からなり、第1の信号ライン用外部電極が厚膜導体パターン的一端と前記対向電極の一方とに電気的に接続され、第2の信号ライン用外部電極が前記厚膜導体パターンの他端と前記対向電極の他方と電気的に接続されてL型フィルタを構成したことを特徴とする請求項1記載のチップ型ノイズ対策用フィルタ。

【請求項3】対向電極が一对でその一方が2個からなり、第1の信号ライン用外部電極が厚膜導体パターン的一端と前記対向電極2個のうちの一方とに電気的に接続され、第2の信号ライン用外部電極が前記厚膜導体パターンの他端と前記対向電極2個のうちの他方とに電気的に接続され、アース用外部電極が他方の前記対向電極と電気的に接続されてπ型フィルタを構成したことを特徴とする請求項1記載のチップ型ノイズ対策用フィルタ。

【請求項4】対向電極が一对からなり、この対向電極の一方が厚膜導体パターンと電気的に接続され、第1の信号用外部電極が前記厚膜導体パターン的一端に電気的に接続され、第2の信号ライン用外部電極が前記厚膜導体パターンの他端に電気的に接続され、アース用外部電極が前記対向電極の他方と電気的に接続されてT型フィルタを構成したことを特徴とする請求項1記載のチップ型ノイズ対策用フィルタ。

【請求項5】焼結体からなるシート状セラミック基板の一方の面に磁性体層および厚膜導体パターンを形成して複数のインダクタ層を形成する工程と、前記シート状セラミック基板の他方の面に誘電体層および対向電極を形成してコンデンサ層を形成する工程と、前記インダクタ層および前記コンデンサ層を形成した前記シート状セラミック基板を一次分割する工程と、この一次分割後の前記シート状セラミック基板の前記インダクタ層および前記コンデンサ層を含む端部に信号ライン用外部電極を形成する工程と、この信号ライン用外部電極を形成した後二次分割してチップに細分化する工程と、このチップの端部にアース用外部電極を形成する工程とを有するチップ型ノイズ対策用フィルタの製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、小型電子機器の高密度実装回路基板に面実装して使用するチップ型ノイズ対策用フィルタ（以下、チップEMIフィルタと記す）およびその製造方法に関するものである。

【0002】

【従来の技術】近年、チップEMIフィルタは、磁性素体とチップコンデンサとの複合型を始めとして、種々のタイプのものが高密度実装回路基板の高周波ノイズ対策用部品として多用されている。

【0003】以下に従来の複合型のチップEMIフィルタについて図面を参照しながら説明する。図17は従来のチップEMIフィルタの分解状態図を、また図18はその等価回路図を示すものである。図17において、110はほぼ立方体のチップ状の磁性素体で、この磁性素体110の表面の中央部に穴111が、その表面の所定位置に複数の貫通導体孔112、113、114、115が、またその表面および側面に端子電極116、117、118、119がそれぞれ設けられている。

【0004】120は一对の端子電極121、122を有するコンデンサ素子で、磁性素体110の穴111に埋設されている。そして、磁性素体110の端子電極118、119とコンデンサ素子120の端子電極121、122とが導通板123、124により電気的に接続され、3端子のT型のLCフィルタに構成されている。

【0005】このようなチップEMIフィルタは、図18に示すように、2個のインダクタL10、L11と1個のコンデンサC10とが一体化されて小形化された構成となっており、これを回路基板に実装したとき、ICピンに近接して高周波に実装することができる。

【0006】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、製品形状に起因する実装性面、量産性面で大きな問題点を有していた。すなわち、フィルタとしてL10およびL11のインダクタンス値の大きなものを得るためには、貫通導体孔の距離がある程度必要でどうしてもチップ高さが高くなり、低コストには限界がある。また、2個のコンデンサと1個のインダクタからなるπ型のLCフィルタを構成するには、磁性素体に2個のチップコンデンサ素子を埋め込んで一体化する必要があり、チップサイズが極端に大きくなって高密度実装には適さなくなる。さらに、磁性素体がほぼ立方体の形状をしているため、貫通導体孔や端子電極の形成を個片状態で形成しなければならず、どうしても複雑な工程を必要とする。このため、量産には向かないという問題点を有していた。

【0007】本発明は上記従来の問題点を解決するもので、従来の複合型チップEMIフィルタでは実現できない優れた実装性と量産性を有したチップEMIフィルタおよびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】この目的を達成するため本発明のチップEMIフィルタは、角板状のセラミック基板と、このセラミック基板の一方の面にインダクタ層、他方の面にコンデンサ層をそれぞれ設け、これらを外部電極と接続してLCフィルタ回路を構成するものである。

【0009】また、その製造方法は角板状のセラミック基板の一方の面に複数のインダクタ層を、他方の面にコンデンサ層を形成した後一次分割し、さらに外部電極を形成した後二次分割してチップEMIフィルタ製造するものである。

【0010】

【作用】本発明のチップEMIフィルタは、焼結体の強固なセラミック基板をベースとしているため、薄型で低背であると同時にチップ外形寸法のばらつきが小さくなり、高密度実装に適している。また、シート状のセラミック基板上にインダクタ層等を印刷等により一度に多数個形成するため、角板型厚膜チップ抵抗器と同様に製造が容易で量産性に富む。このため、従来の複合型チップEMIフィルタでは実現できない優れた実装性と量産性を有したチップEMIフィルタを提供できる。

【0011】

【実施例】以下本発明の実施例について、図面を参照しながら説明する。

【0012】（実施例1）図1は本発明の第1の実施例におけるチップEMIフィルタの一次分割後の状態、図2はその等価回路を示す図、図3はその構造説明のための要部分解図である。また、図4～図6はその製造方法を説明するためのセラミック基板の平面図である。

【0013】図1～図3において、10は角板状のアルミナ系焼結体からなるセラミック基板、20はセラミック基板10の一方の面に形成したインダクタ層で、インダクタ層20は一对の磁性体層20a、20bとその間に挟まれた厚膜導体パターン70とから構成されている。30はセラミック基板10の他方の面に形成したコンデンサ層で、誘電体層30a、30bと対向電極80、90とで構成されている。40は厚膜導体パターン70の一端と対向電極80とを接続する第1の信号ライン用外部電極、50は厚膜導体パターン70の他端と接続された第2の信号ライン用外部電極、60は対向電極90と接続されたアース用外部電極である。

【0014】このチップEMIフィルタは、図2に示すように、1つのインダクタLと1つのコンデンサCとを有するL型の構成となっている。

【0015】以上のように構成されたチップEMIフィルタについて、図4～図6を用いてその製造方法を説明する。図4（A）に示すような分割後の1個片が3.0×1.5mmの角板状のセラミック基板10になるように総線に一次分割線16と二次分割線17を加工したアル

ミナ系のシート状セラミック基板11の片面に、図4（B）に示すように、NiZnCu系のフェライトを主成分とする磁性体層20aをスクリーン印刷によって形成した後、図4（C）に示すようにAg-Pd系の厚膜導体パターン70を印刷形成し、さらにその上に、図5（A）に示すようにNiZnCu系のフェライトを主成分とする磁性体層20bを同様に印刷形成し、800℃～1200℃で1時間焼成する。

【0016】次に、図5（B）に示すように、シート状セラミック基板11の他方の面にAg-Pd系の厚膜導体ペーストをスクリーン印刷して対向電極80を形成し、図5（C）に示すようにマグネシウム・ニオブ酸系あるいはチタン酸バリウム系の厚膜コンデンサペーストをスクリーン印刷して誘電体層30aを形成する。さらにその上に、図6（A）に示すように、一部は対向電極80と重なって図2のコンデンサC1を得るようにAg-Pd系の厚膜導体ペーストをスクリーン印刷して対向電極90を形成した後、図6（B）に示すように、図5（C）と同様に厚膜コンデンサペーストをスクリーン印刷して誘電体層30bを形成し、これを800℃から1200℃で1時間焼成する。

【0017】次に、シート状セラミック基板11の一次分割線16に沿って分割した後、図6（C）に示すように分割された両端面に、第1の信号ライン用外部電極40および第2の信号ライン用外部電極50をAg-Pd系の厚膜導体ペーストを塗布し、550℃から900℃で1時間焼成することによって形成する。最後に二次分割線17に沿って分割して個片にした後、アース用外部電極60を信号ライン用外部電極40、50の場合と同様に塗布、焼成してチップEMIフィルタを完成させる。

【0018】本実施例によるL型チップEMIフィルタと従来のL型チップEMIフィルタの挿入損失周波数特性を測定して比較したところ、従来と同等以上の優れた性能を有していた。また、多数の両者のチップEMIフィルタをチップマウント機によりプリント基板上にマウントし、はんだ付けしてそれらの実装性を比較評価したところ、本実施例のチップEMIフィルタはチップの割れ、位置ずれ、はんだ不良が皆無であった。このように、本実施例によるチップEMIフィルタは、実装性の点で優れた効果が得られる。

【0019】さらに、本実施例のチップEMIフィルタの製造方法によれば、機械的強度が高く寸法精度の高い焼結体のシート状セラミック基板11をベースとしてインダクタ層20とコンデンサ層30を多数個設けるため、多数個のチップEMIフィルタを効率良くしかも高精度一括形成できる。このように本実施例のチップEMIフィルタの製造方法は、量産性の点で優れた効果が得られる。

【0020】（実施例2）図7は本発明の第2の実施例

におけるチップEMIフィルタの一部切欠斜視図、図8はその等価回路を示す図、図9はその構造説明のための要部分解斜視図である。

【0021】図7～図9において、10はセラミック基板、20はインダクタ層、20a、20bは磁性体層、31はコンデンサ層、30a、30bは誘電体層、40、50は信号ライン用外部電極、60はアース用外部電極、70は厚膜導体パターン、81a、81b、90は対向電極で、下記の一部を除いて実施例1の構成と同様である。実施例1の構成と異なるのは、一方の対向電極を2つに分割して対向電極81a、81bとしたコンデンサ層31とし、図8に示す2個のコンデンサC2、C3を形成する $\pi$ 型のLCフィルタを構成するように配置されている点にある。

【0022】上記のように構成されたチップEMIフィルタの製造方法は、対向電極81a、81bのパターン形状が異なるだけで、実施例1の製造方法と同様である。

【0023】このようにして得られたチップEMIフィルタの挿入損失・周波数特性を測定したところ、急峻なインサクションロスカーブを示し、すなわち優れたノイズ吸収特性を有していることがわかる。これは、セラミック基板10を介してインダクタ層20とコンデンサ層30が形成され、かつ対向電極81a、81bと接続された信号用の端子である信号ライン用外部電極40、50が対向して配置されているため、信号ライン用外部電極40、50間でLと並列に余分な浮遊容量が発生しないためと考えられる。

【0024】以上のように本実施例によれば、角板状のセラミック基板10と、このセラミック基板の一方の面にインダクタ層20、他方の面にコンデンサ層31を、信号ライン用外部電極40、50、アース用外部電極60で接続して $\pi$ 型のLCフィルタ回路を構成することにより、実装性と量産性を優れたものにすることができ、特に、本実施例のチップEMIフィルタは、余分な浮遊容量が発生せず、高周波ノイズ吸収性の優れたものである。

【0025】(実施例3) 図10は本発明の第3の実施例におけるチップEMIフィルタの一部切欠斜視図、図11はその等価回路を示す図、図12はその構造説明のための要部分解斜視図である。また、図13～図15はその製造方法を説明するためのセラミック基板の平面図である。

【0026】図10～図12において、12は半円形状の孔13を設けたセラミック基板、21はインダクタ層、21a、21bは孔13を設けた磁性体層、32はコンデンサ層、32a、32bは孔13を設けた誘電体層、40、50は信号ライン用外部電極、60はアース用外部電極、71は波形状の厚膜導体パターン、82、91は対向電極、85はセラミック基板12および磁性

体層21aの孔13の側面に設けたスルー電極である。

【0027】実施例1の構成と異なる主たる点は、コンデンサC4に対応する対向電極82が半円形状の孔13のスルー電極85を介して、厚膜導体パターン71によって形成される2個の直列のインダクタL2、L3の中心に接続されてT型のLCフィルタを構成するように配置されている点にある。

【0028】以上のように構成されたチップEMIフィルタについて、図13～図15を用いてその製造方法を説明する。図13(A)に示すような半径0.2mmの半円形状の孔13を端面の中央部に有して分割後の1個片が3.0×1.5mmの角板状のセラミック基板12になるように縦割線に一次分割溝16と二次分割溝17を加工したアルミナ系のシート状セラミック基板14の片面に、図13(B)に示すようにNiZnCu系のフェライトを主成分とする磁性体層21aをスクリーン印刷によって形成した後、図13(C)に示すようにAg-Pd系の厚膜導体パターン71を印刷形成すると同時に、半円形状の孔13の側面にもスルーホール印刷されて内壁にスルー電極85が形成される。

【0029】さらに、図14(A)に示すようにNiZnCu系のフェライトを主成分とする磁性体層21bを同様に印刷形成し、800℃～1200℃で1時間焼成する。ついで図14(B)に示すように、シート状セラミック基板14の他方の面にAg-Pd系の厚膜導体ペーストをスクリーン印刷して対向電極82を形成すると同時に半円形状の孔13の内壁にスルー電極85が形成される。

【0030】さらに、図14(C)に示すように、マグネシウム・ニオブ酸系あるいはチタン酸バリウム系の厚膜コンデンサペーストをスクリーン印刷して誘電体層32aを形成した上に、図15(A)に示すように、一部は対向電極82と重なって図11の容量C4を得るようにAg-Pd系の厚膜導体ペーストをスクリーン印刷して対向電極91を形成した後、図15(B)に示すように、図14(C)と同様に厚膜コンデンサペーストをスクリーン印刷して誘電体層32bを形成し、これを800℃から1200℃で1時間焼成する。

【0031】次に、シート状セラミック基板14の一次分割溝16に沿って分割した後、図15(C)に示すように、分割された両端面に厚膜導体パターン71に接続する第1の信号ライン用外部電極40および第2の信号ライン用外部電極50をAg-Pd系の厚膜導体を550℃から900℃で1時間焼成することによって形成する。最後に二次分割溝17に沿って分割して個片にした後、対向電極91に接続するアース用外部電極60をスルー電極85と対向する端面に同様に塗布、焼成してチップEMIフィルタを完成させる。

【0032】本実施例によるT型チップEMIフィルタと従来のT型チップEMIフィルタの挿入損失・周波数

特性を測定して比較し、図16に代表的なその関係曲線を比較して示す。図16から本実施例によるT型EMIフィルタは急峻なカーブと深い減衰特性を有しており、優れたノイズ吸収素子であることがわかる。また、多数の両者のチップEMIフィルタをチップマウント板によりプリント基板上にマウントし、はんだ付けしてそれらの実装性を比較評価したところ、本実施例のチップEMIフィルタはチップの割れ、位置ずれ、はんだ不良が皆無であった。このように、本実施例によるチップEMIフィルタは、実装性の点で優れた効果が得られる。

【0033】なお、実施例1から実施例3において、端面の信号ライン用外部電極40、50、アース用外部電極60はセラミック基板10、12の分割面に塗布して形成したが、新たに、スルーホール用の孔の内壁にスルー印刷によって設けたスルー電極であってもよい。また、信号ライン用外部電極40、50、アース用外部電極60、厚膜導体パターン70、71、対向電極80、81a、81b、82、90、91の各厚膜導体は、鉄系の厚膜導体ペーストを用いて空气中で焼成したが、これに限ることなく、銅系の厚膜導体ペーストを用いて窒素などの非酸化性雰囲気中で焼成して得ることもできる。さうには、インダクタ層20、21、あるいはコンデンサ層30、31、32の上に厚膜の抵抗体を形成してL、C、Rを複合化したチップEMIフィルタを構成することは容易である。

【0034】

【発明の効果】以上のように本発明は、角板状のセラミック基板と、このセラミック基板の一方の面にインダクタ層、他方の面にコンデンサ層を、外部電極でこれらの層を接続してLCフィルタ回路を構成したことにより、優れた実装性とノイズ吸収性を有し、生産性の良い優れたチップEMIフィルタおよびその製造方法を実現できるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるチップEMIフィルタの一部切欠斜視図

【図2】同チップEMIフィルタの等価回路図

【図3】同チップEMIフィルタの要部分解斜視図

【図4】(A)、(B)、(C)は同チップEMIフィルタの製造工程の前半工程を説明するためのセラミック基板の平面図

【図5】(A)、(B)、(C)は同チップEMIフィルタの製造工程の中間工程を説明するためのセラミック基板の平面図

【図6】(A)、(B)、(C)は同チップEMIフィルタの製造工程の後半工程を説明するためのセラミック基板の平面図

【図7】本発明の第2の実施例におけるチップEMIフィルタの一部切欠斜視図

【図8】同チップEMIフィルタの等価回路図

【図9】同チップEMIフィルタの要部分解斜視図

【図10】本発明の第3の実施例におけるチップEMIフィルタの一部切欠斜視図

【図11】同チップEMIフィルタの等価回路図

【図12】同チップEMIフィルタの要部分解斜視図

【図13】(A)、(B)、(C)は同チップEMIフィルタの製造工程の前半工程を説明するためのセラミック基板の平面図

【図14】(A)、(B)、(C)は同チップEMIフィルタの製造工程の中間工程を説明するためのセラミック基板の平面図

【図15】(A)、(B)、(C)は同チップEMIフィルタの製造工程の後半工程を説明するためのセラミック基板の平面図

【図16】本発明の第3の実施例におけるチップEMIフィルタと従来のチップEMIフィルタとの挿入損失-周波数特性を比較する特性図

【図17】従来のチップEMIフィルタの分解斜視図

【図18】同等価回路図

【符号の説明】

10、12 セラミック基板

11、14 シート状セラミック基板

16 一次分割層

17 二次分割層

20、21 インダクタ層

20a、20b、21a、21b 磁性体層

30、31、32 コンデンサ層

30a、30b、32a、32b 誘電体層

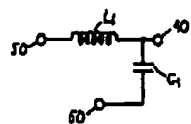
40、50 信号ライン用外部電極

60 アース用外部電極

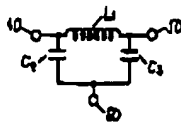
70、71 厚膜導体パターン

80、81a、81b、82、90、91 対向電極

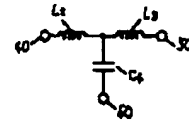
【図2】



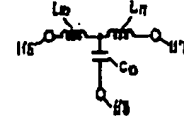
【図8】



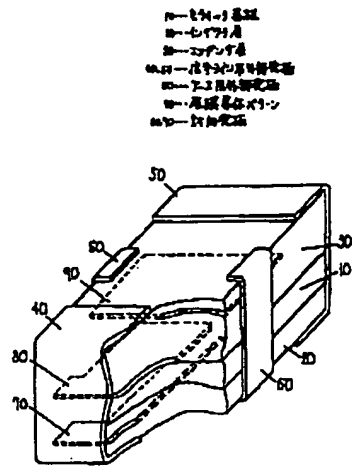
【図11】



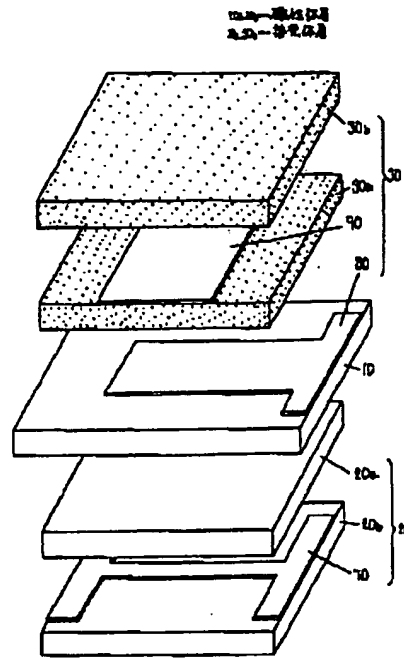
【図18】



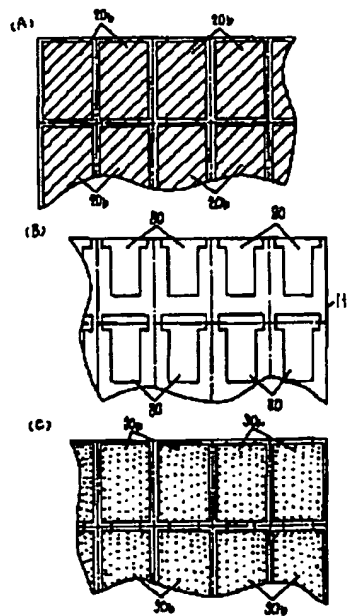
【図1】



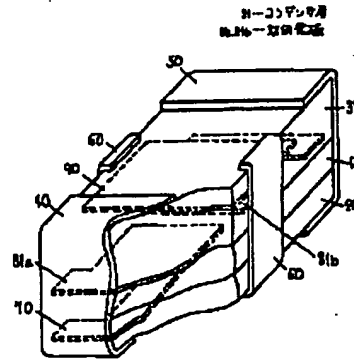
【図3】



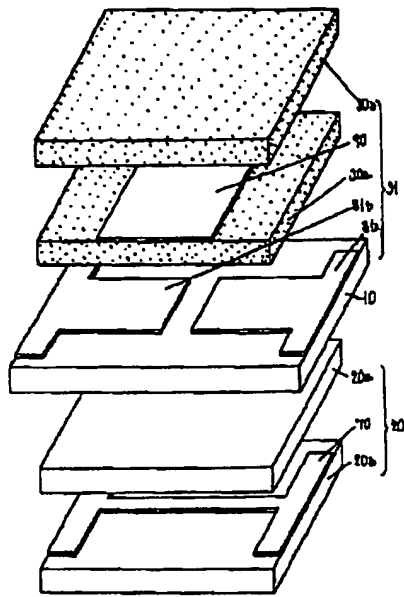
【図5】



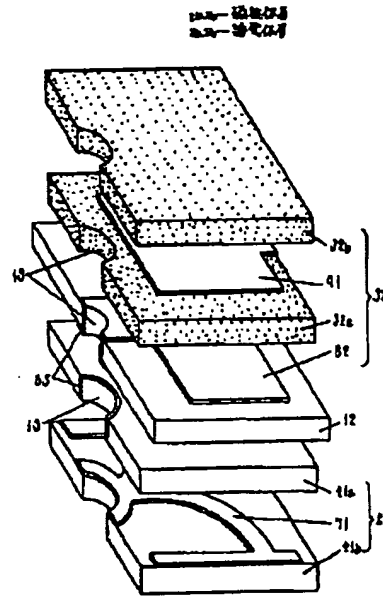
【図7】



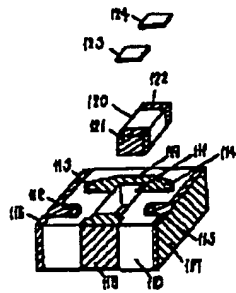
【図9】



【図12】

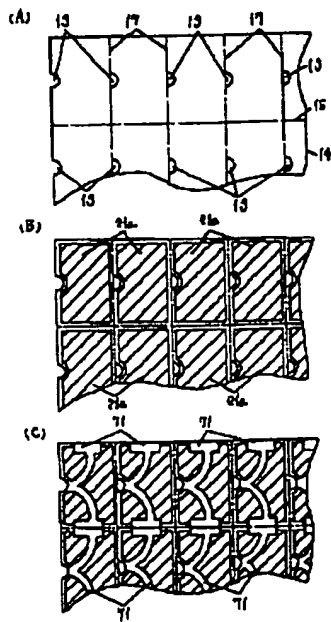


【図17】

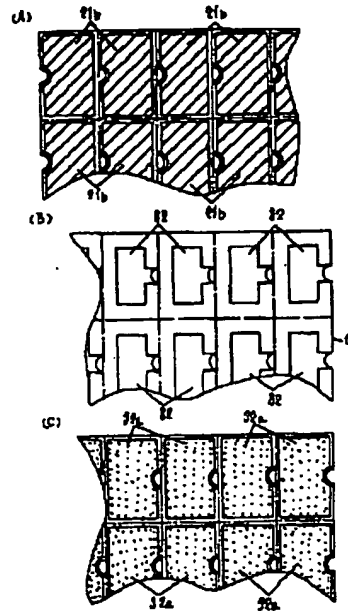


【図13】

4-5+6+7+8+9+10+11+12+13+14+15+16+17+18+19+20+21+22+23+24+25+26+27+28+29+30+31+32+33+34+35+36+37+38+39+40+41+42+43+44+45+46+47+48+49+50+51+52+53+54+55+56+57+58+59+60+61+62+63+64+65+66+67+68+69+70+71+72+73+74+75+76+77+78+79+80+81+82+83+84+85+86+87+88+89+90+91+92+93+94+95+96+97+98+99+100

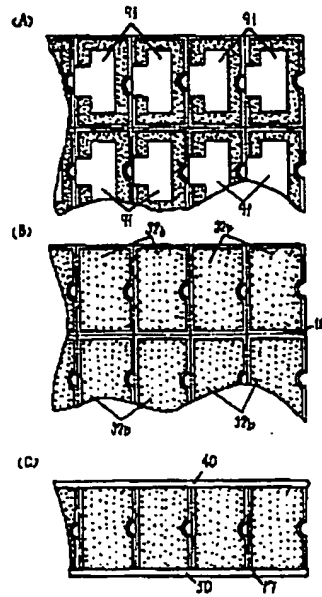


【図14】





【図15】



フロントページの続き

(51)Int. Cl. 5	識別記号	庁内整理番号	F I
H 01 G 4/12	4 2 4		
4/30	3 0 1 F	8 0 1 9 - 5 E	

技術表示箇所

(72)発明者 千葉 博伸  
大須賀町 1 丁目 1 番地 1006 番地 松下電器  
産業株式会社内